

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-145558

(43)Date of publication of application : 28.05.1999

(51)Int.Cl.

H01S 3/18
G02B 6/12

(21)Application number : 09-302854

(71)Applicant : HITACHI LTD
NIPPON TELEGR & TELEPH CORP <NTT>

(22)Date of filing : 05.11.1997

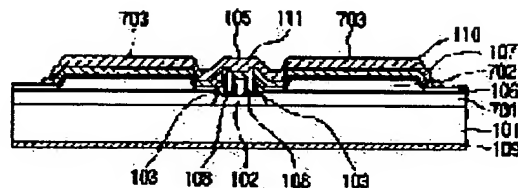
(72)Inventor : NAOE KAZUHIKO
AOKI MASAHIRO
SATO HIROSHI
TOMORI YUICHI

(54) SEMICONDUCTOR OPTICAL ELEMENT, TRANSMITTING-RECEIVING MODULE, AND OPTICAL COMMUNICATION SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the mounting yield of a semiconductor optical element.

SOLUTION: After a multiple quantum well active layer 102 and a ridge waveguide 105 have been formed successively on a semiconductor substrate 101, clad layers 701 are formed on both sides of the waveguide 105 and planarized layers 702 are formed in both side sections of the waveguide 105. Then a silicon oxide film 106 is formed on both sidewalls of the waveguide 105, clad layers 710, and planarized layers 702 and an upper electrode 107 connected with the waveguide 105 is formed on the oxide film 106. Thereafter, a solder layer 110 is formed on the electrode 107, and projecting sections 703 are formed on both sides of a stripe-like projecting section 111, so that the distance between the projecting surface of the section 703 and the surface of the substrate 101 is nearly equal to that between the projecting surface of the stripe-like projecting section 111 and the surface of the substrate 101.



LEGAL STATUS

[Date of request for examination] 03.04.2001

[Date of sending the examiner's decision of rejection] 08.06.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-145558

(43) 公開日 平成11年(1999) 5月28日

(51) Int. Cl. ⁶

識別記号

F I

H01S 3/18

H01S 3/18

G02B 6/12

G02B 6/12

J

審査請求 未請求 請求項の数11 O L (全11頁)

(21) 出願番号 特願平9-302854

(22) 出願日 平成9年(1997)11月5日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72) 発明者 直江 和彦

神奈川県横浜市戸塚区戸塚町216番地 株

株式会社日立製作所情報通信事業部内

(72) 発明者 青木 雅博

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 中村 純之助

最終頁に続く

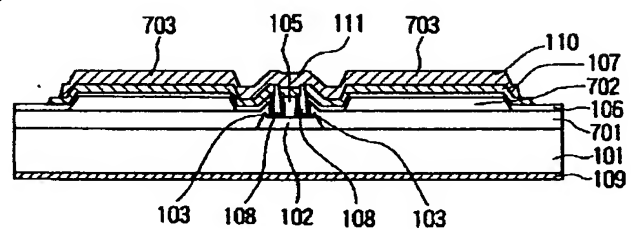
(54) 【発明の名称】 半導体光素子、送受信モジュールおよび光通信システム

(57) 【要約】

【課題】 半導体光素子の実装歩留まりを良好にする。

【解決手段】 半導体基板101上に多重量子井戸活性層102を形成し、多重量子井戸活性層102上にリッジ導波路105を形成し、リッジ導波路105の両側にクラッド層701を形成し、クラッド層701のリッジ導波路105の両側部に平坦化層702を形成し、リッジ導波路105の両側壁上、クラッド層701上および平坦化層702上にシリコン酸化膜106を形成し、シリコン酸化膜106上にリッジ導波路105と接続された上部電極107を形成し、上部電極107上にソルダ110を形成し、ストライプ状凸部111の両側に凸形状部703を形成し、凸形状部703の突起面の半導体基板101表面からの距離とストライプ状凸部111の突起面の半導体基板101表面からの距離とをほぼ同等とする。

図1



101...半導体基板
111...ストライプ状凸部
702...平坦化層
703...凸形状部

【特許請求の範囲】

【請求項1】半導体基板に複数の層が形成され、中央部にストライプ状凸部を有する半導体素子において、上記ストライプ状凸部の両側に凸形状部を形成し、上記凸形状部の突起面の上記半導体基板表面からの距離を上記ストライプ状凸部の突起面の上記半導体基板表面からの距離とほぼ同等としあるいは上記凸形状部の突起面の上記半導体基板表面からの距離を上記ストライプ状凸部の突起面の上記半導体基板表面からの距離よりも大きくしたことを特徴とする半導体光素子。

【請求項2】上記凸形状部の面積を全体の面積の30%以上としたことを特徴とする請求項1に記載の半導体光素子。

【請求項3】上記凸形状部を平坦化層により形成し、上記平坦化層として半導体結晶からなるのものをを用いたことを特徴とする請求項1または2に記載の半導体光素子。

【請求項4】上記凸形状部を平坦化層により形成し、上記平坦化層としてメタルからなるのものをを用いたことを特徴とする請求項1または2に記載の半導体光素子。

【請求項5】上記凸形状部を平坦化層により形成し、上記平坦化層として絶縁膜からなるのものをを用いたことを特徴とする請求項1または2に記載の半導体光素子。

【請求項6】上記凸形状部を平坦化層により形成し、上記平坦化層としてポリイミド樹脂からなるのものをを用いたことを特徴とする請求項1または2に記載の半導体光素子。

【請求項7】上記凸形状部を平坦化層により形成し、上記平坦化層としてソルダからなるのものをを用いたことを特徴とする請求項1または2に記載の半導体光素子。

【請求項8】リッジ導波路を形成したリッジ導波路型の半導体レーザであり、上記リッジ導波路の両側の側壁を(111)A結晶面としたことを特徴する請求項1から7のいずれかに記載の半導体光素子。

【請求項9】スポット拡大機能を有する光導波路をモノリシック集積化したことを特徴とする請求項1から7のいずれかに記載の半導体光素子。

【請求項10】光導波路または光ファイバが設けられた実装基板上に請求項1から9のいずれかに記載の半導体光素子が実装されていることをことを特徴とする送受信モジュール。

【請求項11】請求項10に記載の送受信モジュールを用いたことを特徴とする光通信システム。

【発明の詳細な説明】

【0001】

【発明に属する技術分野】本発明は光通信用モジュールなどに用いられる半導体光素子、半導体光素子を有する送受信モジュールおよび送受信モジュールを有する光通信システムに関するものである。

【0002】

【従来の技術】光通信用モジュールなどに用いられる半導体光素子としては、光加入者系モジュールに実装される出射ビームスポットを拡大した機能を有する波長1.30 μ m帯のリッジ導波路型の半導体レーザなどがある。

【0003】図9は従来のリッジ導波路型の半導体レーザを示す概略斜視図、図10は図9のB-B断面図、図11は図9、図10に示した半導体レーザを示す図で、図11(a)は概略斜視図、図11(b)は図11(a)のC部詳細図、図11(c)は図11(a)のD部詳細図、図11(d)は図11(a)のE部詳細図である。図に示すように、n型(100)InPからなる半導体基板101上に多重量子井戸活性層102が形成されている。この多重量子井戸活性層102は厚さ0.15 μ mのInGaAsP(組成波長1.10 μ m)からなる下側光ガイド層、厚さ6.0nmのInGaAsP(組成波長1.37 μ m)からなる井戸層と厚さ10nmのInGaAsP(組成波長1.10 μ m)からなる障壁層とを7周期積層した多重量子井戸構造および厚さ0.05 μ mのInGaAsP(組成波長1.10 μ m)からなる上側光ガイド層で構成され、出射部の多重量子井戸活性層102の層厚は薄く形成され、多重量子井戸活性層102の入射部の層厚は約0.5 μ m程度である。また、多重量子井戸活性層102上に(111)A面を側壁にもつ逆メサ断面形状のリッジ導波路105が形成され、リッジ導波路105の前方下部の幅は7 μ m、リッジ導波路105の後方下部の幅は2 μ mである。また、リッジ導波路105の両側に厚さ4.0 μ mのp型InPからなるクラッド層104が形成され、リッジ導波路105の両側壁上およびクラッド層104上に厚さ0.5 μ mのシリコン酸化膜106が形成され、シリコン酸化膜106上にリッジ導波路105と接続された上部電極107が形成され、リッジ導波路105とクラッド層104との間にポリイミド樹脂108が充填され、上部電極107上に厚さ2.4 μ mのAuSnからなるソルダ110が形成され、半導体基板101の裏面に下部電極109が形成されている。

【0004】この半導体レーザにおいては、出射部の多重量子井戸活性層102の層厚は薄く形成され、またリッジ導波路105の前方下部の幅は7 μ m、リッジ導波路105の後方下部の幅は2 μ mであるから、出射ビームスポットを拡大することができる。

【0005】つぎに、図12により図9～図11に示した半導体レーザの製造方法を説明する。まず、図12(a)に示すように、半導体基板101上に選択成長用酸化膜マスク(図示せず)を形成し、公知の選択成長法により多重量子井戸活性層102を形成したのち、厚さ0.05 μ mのp型InPからなるキャップ層(図示せず)を形成し、選択成長用酸化膜マスクを除去する。つぎに、図12(b)に示すように、厚さ0.05 μ m

mのp型InPからなるキャップ層の除去等の処理をしたのち、結晶成長によりクラッド層104、厚さ0.2 μm のp型InGaAsからなるキャップ層（図示せず）、厚さ0.1 μm のp型InPからなるキャップ層113を順次形成する。つぎに、図12(c)に示すように、キャップ層113を除去したのち、臭化水素酸と磷酸との混合水溶液によるウェットエッチングを行ない、リッジ導波路105を形成する。つぎに、図12(d)に示すように、厚さ0.2 μm のp型InGaAsからなるキャップ層を除去したのち、熱CVD法によりウェハ全面に厚さ0.5 μm のシリコン酸化膜106を形成する。つぎに、図12(e)に示すように、シリコン酸化膜除去マスク用のポリイミド樹脂（図示せず）を塗布し、エッチングバック法によりリッジ導波路105の上部のポリイミド樹脂を除去し、リッジ導波路105の上部のシリコン酸化膜106のみを除去したのち、前記ポリイミド樹脂も除去する。つぎに、リッジ導波路105の側壁にも電極が形成されるように、斜め蒸着法により上部電極107を形成したのち、ポリイミド樹脂108を回転塗布し、エッチングバック法を用いてリッジ導波路105の両脇の溝部以外のポリイミド樹脂108を除去する。つぎに、図12(f)に示すように、上部電極107を形成し、半導体基板101の裏面を研磨したのち、下部電極109を形成する。つぎに、電極アロイ等の工程を経たのち、上部電極107上に溶ダ110を蒸着法にて形成する。これらの工程を経た後、ウェハを400 μm キャピティのバー状に劈開し、劈開面に反射保護膜を形成したのち、単体の素子すなわちリッジ導波路型の半導体レーザに分離する。

【0006】図13は従来の送受信モジュールを示す概略斜視図、図14は図13のF-F断面図である。図に示すように、シリコンからなる実装基板401にV型溝402が設けられ、V型溝402内に光ファイバ403が設けられ、実装基板401上に図9～図11に示したリッジ導波路型の半導体レーザ404が溶ダ110によりジャンクションダウンにて位置合わせのみで搭載され、半導体レーザ404と光ファイバ403との結合（パッシブアライメント）が行なわれ、実装基板401上に導波路型の受光素子405が搭載されている。

【0007】この送受信モジュールにおいては、実装基板401上にリッジ導波路型の半導体レーザ404がジャンクションダウンにて位置合わせのみにより搭載されているから、製造コストが安価である。

【0008】

【発明が解決しようとする課題】このような送受信モジュールにおいては、半導体レーザ404の出力をダイレクトに光ファイバ403と結合させるから、半導体レーザ404と光ファイバ403との高さ方向の搭載精度は、 $\pm 0.5 \mu\text{m}$ 以内が要求される。この搭載精度を出すため、半導体レーザ404の溶ダ110の量が実装

に必要最小限の量に設計されている。ところが、多重量子井戸活性層102を形成する際に、多重量子井戸活性層102の両端が0.1～0.2 μm 程度の角型に盛り上がった角部103（図12(a)）が形成され、上部電極107、溶ダ110を形成したのちにおいても、ストライプ状凸部111が形成されるとともに、ストライプ状凸部111の両端に角部103による角部112

（図12(f)）が形成される。このため、中心部にのみストライプ状凸部111がある半導体レーザ404をパッシブアライメントにて実装した場合、ストライプ状凸部111の部分のみが実装基板401と接触し、ストライプ状凸部111の溶ダ110のみが接合に寄与し、ストライプ状凸部111の両側つまり半導体基板101の平面を基準としてストライプ状凸部111より低くなっている部分に付けられた溶ダ110は実装基板401と接触せず、この部分の溶ダ110は接合に寄与しない。そして、ストライプ状凸部111の幅は半導体レーザ404の全体の幅の約10%程度であるから、半導体レーザ404の実装時に困難が生じ、十分な強度で確実に実装することができず、機械的に不安定に実装される。また、図15に示すように、実装基板401上で半導体レーザ404が傾いて実装されることもある。このため、半導体レーザ404の実装基板401への実装歩留まりが良好ではない。

【0009】本発明は上述の課題を解決するためになされたもので、半導体光素子の実装歩留まりが良好である半導体光素子、送受信モジュール、光通信システムを提供することを目的とする。

【0010】

【課題を解決するための手段】この目的を達成するため、本発明においては、半導体基板に複数の層が形成され、中央部にストライプ状凸部を有する半導体素子において、上記ストライプ状凸部の両側に凸形状部を形成し、上記凸形状部の突起面の上記半導体基板表面からの距離を上記ストライプ状凸部の突起面の上記半導体基板表面からの距離とほぼ同等としあるいは上記凸形状部の突起面の上記半導体基板表面からの距離を上記ストライプ状凸部の突起面の上記半導体基板表面からの距離よりも大きくする。

【0011】この場合、上記凸形状部の面積を全体の面積の30%以上とする。

【0012】これらの場合、上記凸形状部を平坦化層により形成し、上記平坦化層として半導体結晶からなるのものをを用いる。

【0013】また、上記凸形状部を平坦化層により形成し、上記平坦化層としてメタルからなるのものをを用いる。

【0014】また、上記凸形状部を平坦化層により形成し、上記平坦化層として絶縁膜からなるのものをを用いる。

【0015】また、上記凸形状部を平坦化層により形成し、上記平坦化層としてポリイミド樹脂からなるものを用いる。

【0016】また、上記凸形状部を平坦化層により形成し、上記平坦化層としてソルダからなるものを用いる。

【0017】また、リッジ導波路を形成したリッジ導波路型の半導体レーザとし、上記リッジ導波路の両側の側壁を(111)A結晶面とする。

【0018】また、スポット拡大機能を有する光導波路をモノリシック集積化する。

【0019】また、送受信モジュールにおいて、光導波路または光ファイバが設けられた実装基板上に上記の半導体光素子を実装する。

【0020】また、光通信システムにおいて、上記の送受信モジュールを用いる。

【0021】

【発明の実施の形態】図2は本発明に係るリッジ導波路型の半導体レーザを示す概略斜視図、図1は図2のA-A断面図である。図に示すように、リッジ導波路105の両側に厚さ4.0 μ mのp型InPからなるクラッド層701が形成され、クラッド層701のリッジ導波路105の両側部に厚さ0.5 μ mの結晶InPからなる平坦化層702が形成され、リッジ導波路105の両側壁上、クラッド層701上および平坦化層702上に厚さ0.5 μ mのシリコン酸化膜106が形成され、シリコン酸化膜106上にリッジ導波路105と接続された上部電極107が形成され、リッジ導波路105とクラッド層104との間にポリイミド樹脂108が充填され、上部電極107上に厚さ2.4 μ mのAuSnからなるソルダ110が形成されている。そして、ストライプ状凸部111の両側に平坦化層702により凸形状部703が形成され、凸形状部703の突起面の半導体基板101表面からの距離はストライプ状凸部111の突起面の半導体基板101表面からの距離とほぼ同等である。すなわち、凸形状部703の突起面の半導体基板101表面からの距離とストライプ状凸部111の突起面の半導体基板101表面からの距離との差は、半導体レーザを実装基板に実装した場合における搭載の高さ方向における精度の範囲内たとえば $\pm 0.3\mu$ m以内である。また、凸形状部703の面積は全体の面積の30%以上たとえば70%である。

【0022】つぎに、図3により図1、図2に示したリッジ導波路型の半導体レーザの製造方法を説明する。まず、図3(a)に示すように、半導体基板101上に多重量子井戸活性層102を形成したのち、厚さ0.05 μ mのp型InPからなるキャップ層(図示せず)を形成し、選択成長用酸化膜マスクを除去する。つぎに、図3(b)に示すように、厚さ0.05 μ mのp型InPからなるキャップ層の除去等の処理をしたのち、結晶成長に

よりクラッド層701、厚さ0.2 μ mのp型InGaAsからなるキャップ層(図示せず)、平坦化層702を順次形成する。この場合、クラッド層701に角部103に起因する角部114が形成される。つぎに、図3(c)に示すように、多重量子井戸活性層102の両側部にレジストマスク(図示せず)を通常のホトリソグラフィ工程により形成し、臭化水素酸と磷酸との混合水溶液によるウェットエッチングを用いて平坦化層702のエッチングを行なう。このエッチングのエッチング時間を平坦化層702が完全にエッチングされる時間より数十秒程度長くし(オーバーエッチング)、レジストマスクに対してサイドエッチングを行なうことにより、角部114を除去する。つぎに、レジストマスクを除去する。つぎに、図3(d)に示すように、臭化水素酸と磷酸との混合水溶液によるウェットエッチングを用いてリッジ導波路105を形成する。この時、平坦化層702がエッチングされないようにその領域をレジストマスク(図示せず)にて保護する。つぎに、熱CVD法によりウェハ全面にシリコン酸化膜106を形成し、図12で説明した方法と同様にポリイミド樹脂を用いた工程を経てリッジ導波路105上部のシリコン酸化膜106のみを除去する。つぎに、図3(e)に示すように、斜め蒸着法により上部電極107を形成し、ポリイミド樹脂108を塗布し、溝部以外のポリイミド樹脂108を除去(エッチングバック法)する。つぎに、図3(f)に示すように、上部電極107を形成し、半導体基板101の裏面を研磨したのち、下部電極109を形成する。つぎに、電極アロイ等の工程を経たのち、上部電極107上にソルダ110を蒸着法にて形成する。これらの工程を経た後、ウェハを400 μ mキャビティのバー状に劈開し、劈開面に反射保護膜を形成したのち、単体の素子すなわちリッジ導波路型の半導体レーザに分離する。

【0023】図4は本発明に係る送受信モジュールを示す概略断面図である。図に示すように、実装基板401上に図1、図2に示したリッジ導波路型の半導体レーザ901がソルダ110によりジャンクションダウンにて位置合わせのみで搭載されている。

【0024】図1、図2に示したリッジ導波路型の半導体レーザ、その半導体レーザを有する送受信モジュールにおいては、ストライプ状凸部111の両側に凸形状部703が形成されているから、半導体レーザ901を実装基板401上にジャンクションダウンにて搭載したとき、凸形状部703(最上面はソルダ110)が実装基板401と接する。このため、実装時に実装基板401と接する凸形状部703の面積が増加するから、半導体レーザ901と実装基板401の実装面の接地面積が確保されるので、十分な強度で確実に実装することができ、機械的に安定した実装が可能になり、実装基板401に対して半導体レーザ901が傾くことない。この結果、半導体レーザ901の実装歩留まりを飛躍的に向上

させることができる。また、凸形状部703の面積を全体の面積の30%以上としているから、対素子面積比において従来技術に比べて約10%から40%以上たとえば80%程度に増加するから、半導体レーザ901と実装基板401の実装面の接地面積が十分に確保され、半導体レーザ901に形成したソルダ110のほぼ全体が接合に寄与するので、機械的に極めて安定した実装が可能になり、実装基板401に対して半導体レーザ901が傾くのを有効に防止することができる。また、結晶InPからなる平坦化層702を用いているから、工程的に容易に製造することができる。また、リッジ導波路105の両側の側壁を(111)A結晶面としているから、電流を効率的に注入することができるので、少ない電流で高出力を得ることができる。また、スポット拡大機能を有するリッジ導波路105をモノリシック集積化しているから、製造が容易となるので、製造コストが安価になる。

【0025】また、図3で説明したリッジ導波路型の半導体レーザの製造方法においては、平坦化層702のエッチングを行なう際にオーバーエッチングを行ない、角部114を除去しているから、凸形状部703の突起面の半導体基板101表面からの距離とストライプ状凸部111の突起面の半導体基板101表面からの距離とを確実に等しくすることができる。また、ウェハに熱履歴を加えることなく凸形状部703を形成することができ、新たに生じる工程はホトリソグラフィ工程およびウェットエッチング工程のみであるから、製造工程時間をそれほど増やすことなく凸形状部703の形成が可能であり、半導体レーザ901の実装歩留まりを向上させかつより安定な実装を実現することができる。

【0026】また、光通信システムにおいて、図4に示した送受信モジュールを用いたときには、半導体レーザ901の実装歩留まりを飛躍的に向上させることができる。

【0027】なお、本実施の形態においては、平坦化層702をストライプ状凸部111とほぼ同じ厚さの0.5 μ mとしたが、実装された半導体レーザ901のヒートシンクなどに悪影響が特にない場合には、この平坦化層702を0.6 μ m程度あるいはそれ以上にすることにより、凸形状部703の突起面の半導体基板101表面からの距離をストライプ状凸部111の突起面の半導体基板101表面からの距離よりも大きくしても、同様の効果が得られることはいうまでもない。

【0028】つぎに、図5により本発明に係る他のリッジ導波路型の半導体レーザの製造方法を説明する。まず、図5(a)に示すように、半導体基板101上に多重量子井戸活性層102を形成したのち、結晶成長によりクラッド層104、厚さ0.2 μ mのp型InGaAsからなるキャップ層(図示せず)、キャップ層113を順次形成する。つぎに、図5(b)に示すように、キャッ

ブ層113を除去したのち、臭化水素酸と磷酸との混合水溶液によるウェットエッチングを用いてリッジ導波路105を形成したのち、熱CVD法によりウェハ全面にシリコン酸化膜106を形成し、図12で説明した方法と同様にポリイミド樹脂を用いた工程を経てリッジ導波路105上部のシリコン酸化膜106のみを除去する。つぎに、図5(c)に示すように、斜め蒸着法により上部電極107を形成し、ポリイミド樹脂108を塗布し、溝部以外のポリイミド樹脂108を除去する。つぎに、図5(d)に示すように、上部電極107上にホトレジストにより所望のパターニングマスク(図示せず)を形成したのち、Ti/Pt/Auを厚さ5000~6000Å程度追加蒸着し、リフトオフ技術により所望のパターンを形成して、平坦化層1001を形成する。この場合、平坦化層1001における最上層の材料および厚さは上部電極107と同様(厚さの1000ÅのAu)とする。つぎに、図5(e)に示すように、下部電極109を形成し、上部電極107、平坦化層1001上にソルダ110を蒸着法にて形成する。これらの工程を経た後、ウェハを400 μ mキャビティのバー状に劈開し、劈開面に反射保護膜を形成したのち、単体の素子すなわちリッジ導波路型の半導体レーザに分離する。この時点において、凸形状部703の突起面の半導体基板101表面からの距離とストライプ状凸部111の突起面の半導体基板101表面からの距離とは等しいか、あるいは凸形状部703の突起面の半導体基板101表面からの距離はストライプ状凸部111の突起面の半導体基板101表面からの距離よりも0.1 μ m以内で高い。

【0029】このリッジ導波路型の半導体レーザにおいては、半導体レーザを実装基板上にジャンクションダウンにて搭載する場合においても、凸形状部703が実装基板と接するから、半導体レーザの実装時に実装基板と接する凸形状部703(最上面はソルダ110)の面積が増加し、図1、図2に示した半導体レーザと同様の効果が得られる。また、Ti/Pt/Auからなる平坦化層1001を用いているから、メタル蒸着という半導体製造技術としては比較的確立された方法により平坦化層1001を形成することができるので、安定して製造することができ、また結晶成長の仕様に関わらず対策が可能である。

【0030】つぎに、図6により本発明に係る他のリッジ導波路型の半導体レーザの製造方法を説明する。まず、図6(a)に示すように、半導体基板101上に多重量子井戸活性層102を形成したのち、結晶成長によりクラッド層104、厚さ0.2 μ mのp型InGaAsからなるキャップ層(図示せず)、キャップ層113を順次形成する。つぎに、図6(b)に示すように、キャップ層113を除去したのち、熱CVD法により厚さ0.5~0.6 μ mのシリコン酸化膜からなる平坦化層1101を形成する。つぎに、図6(c)に示すように、レジ

ストマスク (図示せず) を通常のホトリソグラフィ工程により形成し、HF と NH_4F との比が 1 : 6 の混合液によるウェットエッチングを用いて平坦化層 1101 のエッチングを行ない、レジストマスクを除去する。つぎに、図 6 (d) に示すように、臭化水素酸とリン酸との混合水溶液によるウェットエッチングを行ない、リッジ導波路 105 を形成する。つぎに、熱 CVD 法によりウェハ全面にシリコン酸化膜 106 を形成し、図 12 で説明した方法と同様にポリイミド樹脂を用いた工程を経てリッジ導波路 105 上部のシリコン酸化膜 106 のみを除去する。つぎに、図 6 (e) に示すように、斜め蒸着法により上部電極 107 を形成し、ポリイミド樹脂 108 を塗布し、溝部以外のポリイミド樹脂 108 を除去する。つぎに、図 6 (f) に示すように、下部電極 109 を形成し、上部電極 107、平坦化層 1101 上にソルダ 110 を蒸着法にて形成する。これらの工程を経た後、ウェハを $400\mu\text{m}$ キャビティのバー状に劈開し、劈開面に反射保護膜を形成したのち、単体の素子すなわちリッジ導波路型の半導体レーザに分離する。この時点において、凸形状部 703 の突起面の半導体基板 101 表面からの距離とストライプ状凸部 111 の突起面の半導体基板 101 表面からの距離とは等しいか、あるいは凸形状部 703 の突起面の半導体基板 101 表面からの距離はストライプ状凸部 111 の突起面の半導体基板 101 表面からの距離よりも $0.1\mu\text{m}$ 以内で高い。

【0031】このリッジ導波路型の半導体レーザにおいては、半導体レーザを実装基板上にジャンクションダウンにて搭載する場合においても、凸形状部 703 が実装基板と接するから、半導体レーザの実装時に実装基板と接する凸形状部 703 (最上面はソルダ 110) の面積が増加し、図 1、図 2 に示した半導体レーザと同様の効果が得られる。また、シリコン酸化膜からなる平坦化層 1101 を用いているから、熱 CVD 法という半導体製造技術としては比較的確立された方法により平坦化層 1101 を形成することができるので、安定して製造することができ、また結晶成長の仕様に関わらず対策が可能である。

【0032】つぎに、図 7 により本発明に係る出射ビームスポットを拡大した機能を有する波長 $1.30\mu\text{m}$ 帯半導体埋込型の半導体レーザの製造方法を説明する。まず、図 7 (a) に示すように、半導体基板 101 上に多重量子井戸活性層 102、活性層 1200 を形成したのち、MOVPE 法により厚さ $3.6\mu\text{m}$ の p 型 InP からなるクラッド層 1201、厚さ $0.5\mu\text{m}$ の p 型 InGaAs からなるキャップ層 1202 を形成する。つぎに、図 7 (b) に示すように、キャップ層 1202 を除去したのち、多重量子井戸活性層 102 上方部にシリコン酸化膜からなる幅 $8.5\mu\text{m}$ のストライプ部 1203 を形成し、ストライプ部 1203 をマスクとし、臭素メタノール溶液を用いてクラッド層 1201 をウェットエ

ッチングしてメサストライプ 1205 を形成したのち、Fe 添加の InP からなる埋め込み層 1204 でメサストライプ 1205 を埋め込む。つぎに、図 7 (c) に示すように、ストライプ部 1203 を除去したのち、T-CVD 法によりウェハ全面に厚さ $0.50\mu\text{m}$ のシリコン酸化膜 106 を形成し、メサストライプ 1205 の上部のシリコン酸化膜 106 のみに窓を形成したのち、上部電極 107 を形成する。つぎに、図 7 (d) に示すように、上部電極 107 上に Ti/Pt/Au からなる平坦化層 1001 を形成する。つぎに、図 7 (e) に示すように、下部電極 109 を形成し、上部電極 107、平坦化層 1001 上にソルダ 110 を蒸着法にて形成する。これらの工程を経た後、ウェハを $400\mu\text{m}$ キャビティのバー状に劈開し、劈開面に反射保護膜を形成したのち、単体の素子すなわち埋込型の半導体レーザに分離する。この時点において、凸形状部 703 の突起面の半導体基板 101 表面からの距離とストライプ状凸部 111 の突起面の半導体基板 101 表面からの距離とは等しいか、あるいは凸形状部 703 の突起面の半導体基板 101 表面からの距離はストライプ状凸部 111 の突起面の半導体基板 101 表面からの距離よりも $0.1\mu\text{m}$ 以内で高い。

【0033】この埋込型の半導体レーザにおいては、半導体レーザを実装基板上にジャンクションダウンにて搭載する場合においても、凸形状部 703 が実装基板と接するから、半導体レーザの実装時に実装基板と接する凸形状部 703 (最上面はソルダ 110) の面積が増加し、図 1、図 2 に示した半導体レーザと同様の効果が得られる。

【0034】なお、本実施の形態においては、平坦化層 1001 として Ti/Pt/Au からなるのものを用いるが、平坦化層として半導体結晶、他のメタル、絶縁膜、ポリイミド樹脂、ソルダ等からなるのものを用いてもよい。また、本実施の形態においては、出射ビームスポットを拡大した機能を有する波長 $1.30\mu\text{m}$ 帯半導体埋込型の半導体レーザに適用した例を示したが、同様に選択結晶成長を行ないストライプ状凸部が形成される他の半導体光素子、例えば電界吸収型変調器集積半導体レーザなどに適用しても、同様の効果が得られる。

【0035】図 8 は本発明に係るビームスポット拡大器が集積化された波長 $1.3\mu\text{m}$ 帯埋込型の半導体レーザを示す概略断面図である。図に示すように、p 型 (100) InP からなる半導体基板 1300 上に多重量子井戸活性層 102、活性層 1301 が形成され、多重量子井戸活性層 102 上にメサストライプ 1306 が形成され、半導体基板 1300 上に p 型 InP からなる半導体層 1302、n 型 InP からなる半導体層 1303、p 型 InP からなる半導体層 1304 が形成され、半導体層 1302 ~ 1304 によりメサストライプ 1306 が埋め込まれている。また、半導体層 1304 上に n 型 InP、n 型 InGaAs p からなるコンタクト層 130

5 が形成され、コンタクト層 1 3 0 5 上にシリコン酸化膜 1 0 6 が形成され、シリコン酸化膜 1 0 6 上にコンタクト層 1 3 0 5 と接続された上部電極 1 0 7 が形成され、上部電極 1 0 7 上に $Ti/Pt/Au$ からなる平坦化層 1 0 0 1 が形成され、上部電極 1 0 7、平坦化層 1 0 0 1 上にソルダ 1 1 0 が形成されている。また、半導体基板 1 3 0 0 の裏面に下部電極 1 0 9 が形成されている。

【0036】 つぎに、図 8 に示した半導体レーザの製造方法について説明する。まず、出射ビームスポット拡大器を集積化するために、半導体基板 1 3 0 0 上に選択成長用酸化膜マスクを形成し、公知の選択成長法により多重量子井戸活性層 1 0 2、活性層 1 3 0 1 を形成する。つぎに、シリコン熱酸化膜をエッチングマスクとして、ウェットエッチングによりメサストライプ 1 3 0 6 を形成する。つぎに、シリコン熱酸化膜をマスクとして半導体層 1 3 0 2 ~ 1 3 0 4 による埋め込み成長を公知の結晶成長技術を用いて行なったのち、マスクとして用いたシリコン熱酸化膜を除去し、結晶成長によりコンタクト層 1 3 0 5 を形成する。つぎに、熱 CVD 法によりシリコン酸化膜 1 0 6 の形成し、上部電極 1 0 7 を形成したのち、平坦化層 1 0 0 1 を形成する。つぎに、下部電極 1 0 9 を形成し、上部電極 1 0 7、平坦化層 1 0 0 1 上にソルダ 1 1 0 を蒸着法にて形成する。これらの工程を経た後、ウェハを $400\mu m$ キャピティのパー状に劈開し、劈開面に反射保護膜を形成したのち、単体の素子すなわち埋込型の半導体レーザに分離する。この時点において、凸形状部 7 0 3 の突起面の半導体基板 1 3 0 0 表面からの距離とストライプ状凸部 1 1 1 の突起面の半導体基板 1 3 0 0 表面からの距離とは等しいか、あるいは凸形状部 7 0 3 の突起面の半導体基板 1 3 0 0 表面からの距離はストライプ状凸部 1 1 1 の突起面の半導体基板 1 3 0 0 表面からの距離よりも $0.1\mu m$ 以内で高い。

【0037】 この埋込型の半導体レーザにおいては、半導体レーザを実装基板上にジャンクションダウンにて搭載する場合においても、凸形状部 7 0 3 が実装基板と接するから、半導体レーザの実装時に実装基板と接する凸形状部 7 0 3 (最上面はソルダ 1 1 0) の面積が増加し、図 1、図 2 に示した半導体レーザと同様の効果が得られる。

【0038】 なお、上述実施の形態においては、半導体レーザについて説明したが、他の半導体光素子に本発明を適用できることは明らかである。また、上述実施の形態においては、平坦化層として結晶 InP からなる平坦化層 7 0 2、 $Ti/Pt/Au$ からなる平坦化層 1 0 0 1、シリコン酸化膜からなる平坦化層 1 1 0 1 を用いたが、他の半導体結晶、他のメタル、他の絶縁膜、ポリイミド樹脂、ソルダからなるのものをを用いてもよく、平坦化層としてポリイミド樹脂からなるのものをを用いたときには、平坦化層を形成するための工程時間を短縮するこ

とができ、また平坦化層としてソルダからなるのものをを用いたときには、ソルダ形成という半導体製造技術としては比較的確立された方法により平坦化層を形成することができるので、安定して製造することができ、また半導体光素子を搭載することが容易となる。

【0039】

【発明の効果】 本発明に係る半導体光素子、送受信モジュール、光通信システムにおいては、半導体光素子を十分な強度で確実に実装することができ、機械的に安定した実装が可能になり、また実装基板に対して半導体光素子が傾くことないから、半導体光素子の実装歩留まりが良好である。

【0040】 また、凸形状部の面積を全体の面積の 30 % 以上としたときには、半導体光素子と実装基板との接地面積が十分に確保されるから、機械的に極めて安定した実装が可能になり、また実装基板に対して半導体光素子が傾くのを有効に防止することができる。

【0041】 また、凸形状部を平坦化層により形成し、平坦化層として半導体結晶からなるのものをを用いたときには、工程的に容易に製造することができる。

【0042】 また、凸形状部を平坦化層により形成し、平坦化層としてメタルからなるのものをを用いたときには、メタル蒸着という半導体製造技術としては比較的確立された方法により平坦化層を形成することができるので、安定して製造することができる。

【0043】 また、凸形状部を平坦化層により形成し、平坦化層として絶縁膜からなるのものをを用いたときには、絶縁膜形成という半導体製造技術としては比較的確立された方法により平坦化層を形成することができるので、安定して製造することができる。

【0044】 また、凸形状部を平坦化層により形成し、平坦化層としてポリイミド樹脂からなるのものをを用いたときには、平坦化層を形成するための工程時間を短縮することができる。

【0045】 また、凸形状部を平坦化層により形成し、平坦化層としてソルダからなるのものをを用いたときには、ソルダ形成という半導体製造技術としては比較的確立された方法により平坦化層を形成することができるので、安定して製造することができ、また半導体光素子を搭載することが容易となる。

【0046】 また、リッジ導波路を形成したリッジ導波路型の半導体レーザとし、リッジ導波路の両側の側壁を (111) A 結晶面としたときには、電流を効率的に注入することができるから、少ない電流で高出力を得ることができる。

【0047】 また、スポット拡大機能を有する光導波路をモノリシック集積化したときには、製造が容易となるから、製造コストが安価になる。

【図面の簡単な説明】

【図 1】 図 2 の A-A 断面図である。

【図2】本発明に係るリッジ導波路型の半導体レーザを示す概略斜視図である。

【図3】図1、図2に示した半導体レーザの製造方法の説明図である。

【図 4】本発明に係る送受信モジュールを示す概略断面図である。

【図5】本発明に係る他のリッジ導波路型の半導体レーザの製造方法の説明図である。

【図6】本発明に係る他のリッジ導波路型の半導体レーザの製造方法の説明図である。

【図 7】本発明に係る埋込型の半導体レーザの製造方法の説明図である。

【図8】本発明に係る他の埋込型の半導体レーザを示す概略断面図である。

【図9】従来のリッジ導波路型の半導体レーザを示す概略斜視図である。

【図 10】図 9 の B-B 断面図である。

【図 11】図 9、図 10 に示した半導体レーザを示す図である。

【図 12】図 9～図 11 に示した半導体レーザの製造方法の説明図である。

【図13】従来の送受信モジュールを示す概略斜視図である。

【図14】 図13のF-F断面図である。

【図15】従来の送受信モジュールを示す概略断面図である。

【符号の説明】

1 0 1...半導體基板

10 1 1 1…ストライプ状凸部

401…実装基板

403…光ファイバ

702...平坦化層

703…凸形状部

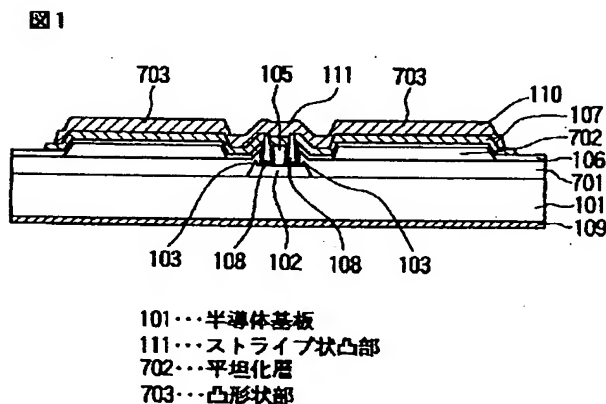
901…半導体レーザ

1 0 0 1...平坦化層

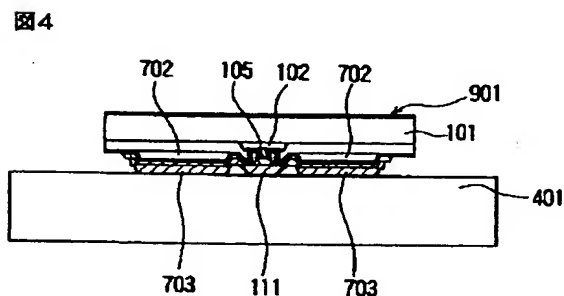
1 1 0 1...平坦化層

1 3 0 0...半導體基板

【图 1】

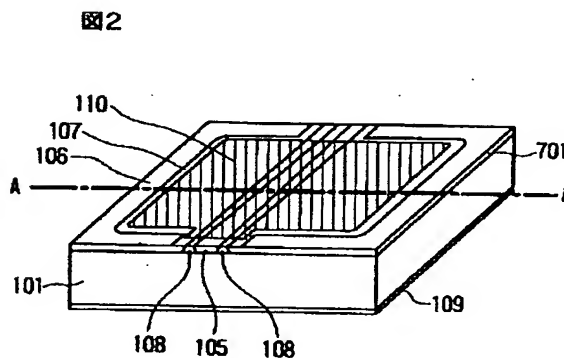


【図4】

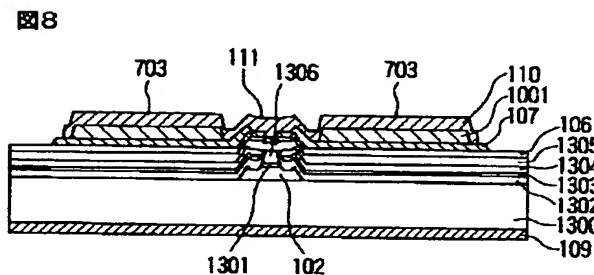


101…半導体基板
111…ストライプ状凸部
401…実験基板
702…平坦化層
703…凸形状部
901…半導体レーザ

【图2】

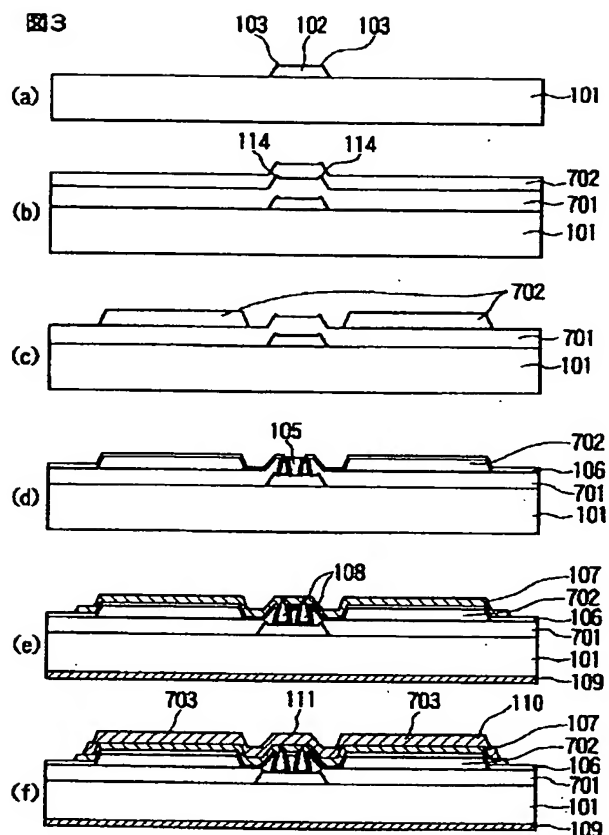


【图8】

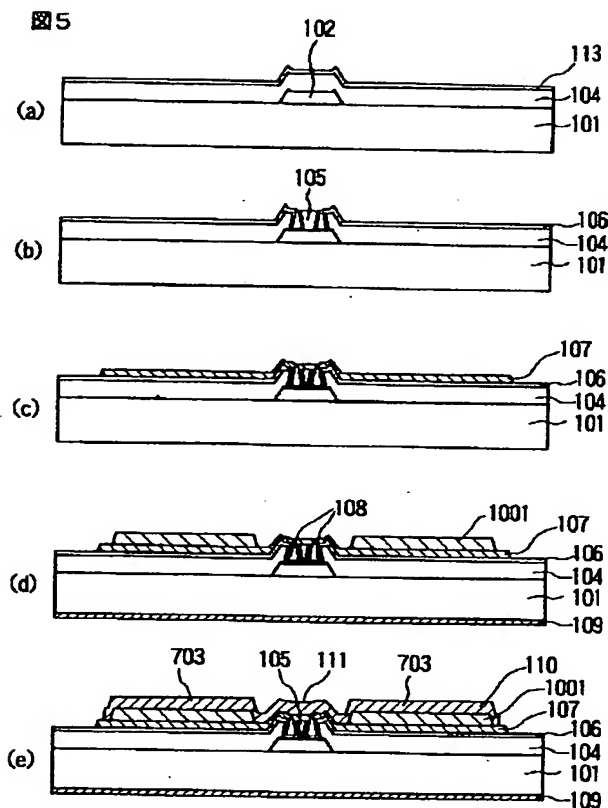


111...ストライプ状凸部
703...凸形状部
1001...平坦化層
1300...半導体基板

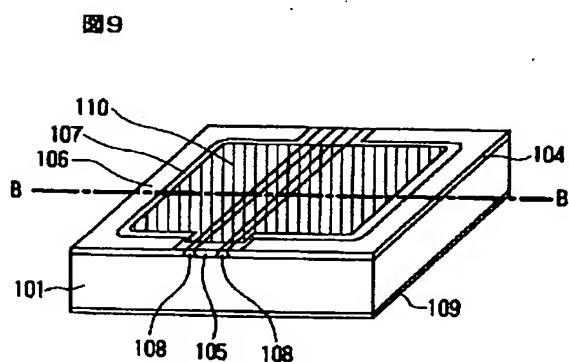
【図 3】



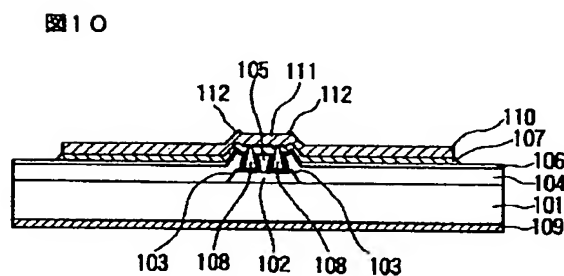
【図5】



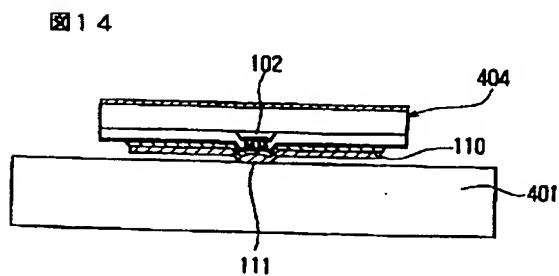
【図9】



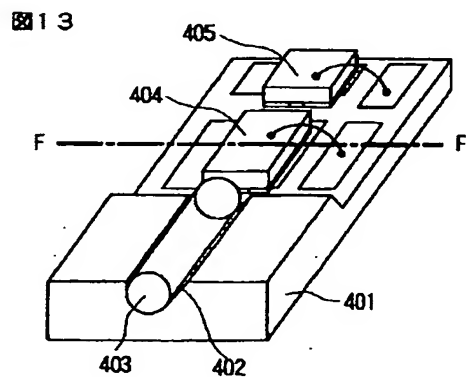
【図 10】



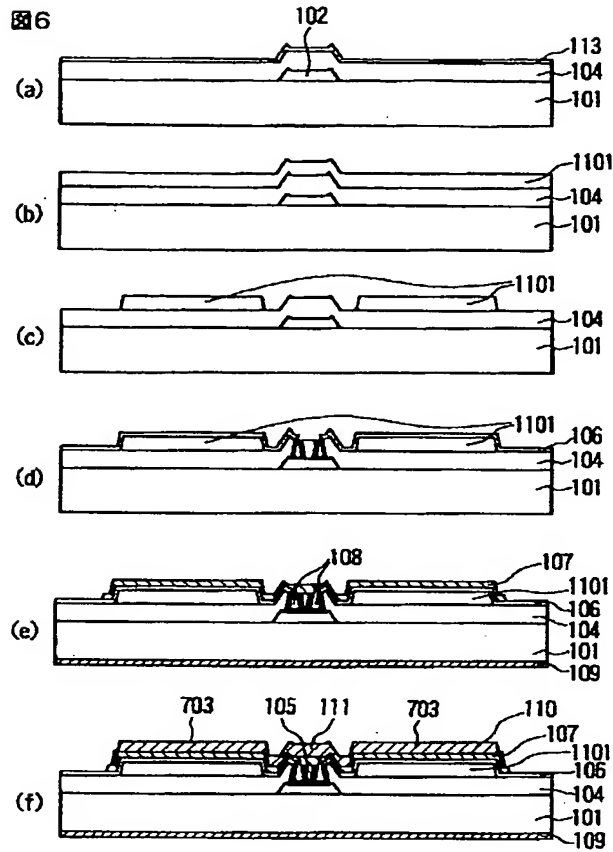
【図 14】



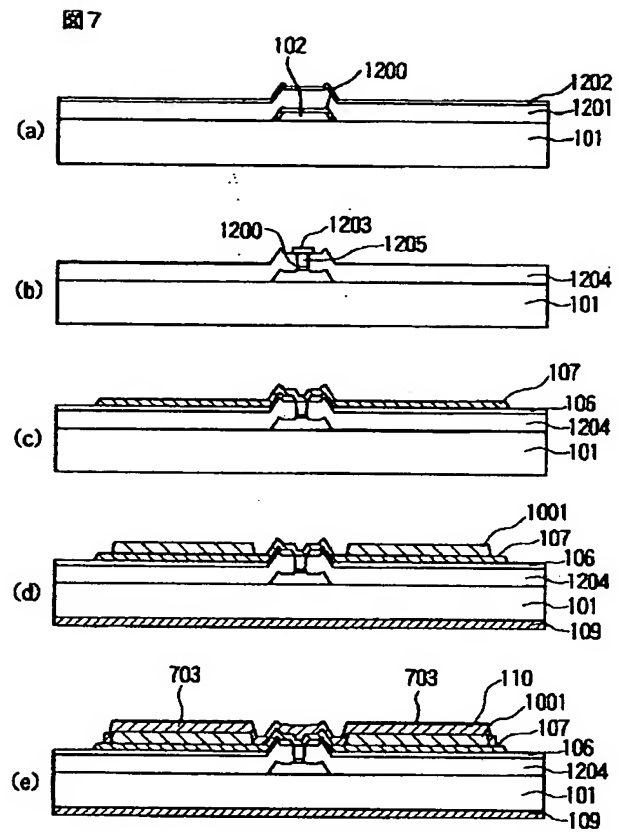
【図 1 3】



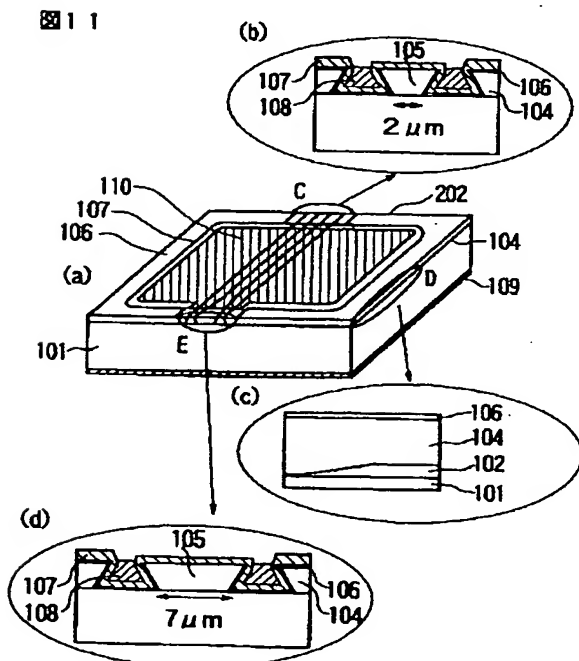
【図 6】



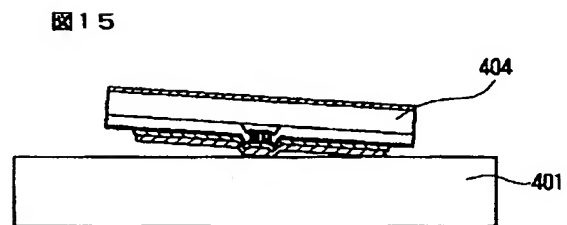
【図 7】



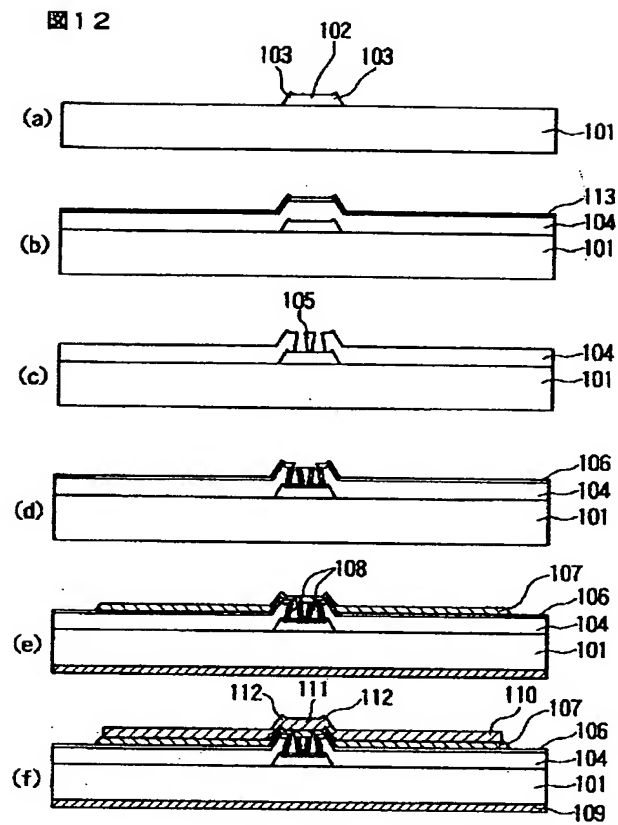
【図 11】



【図 15】



【図 1 2】



フロントページの続き

(72)発明者 佐藤 宏
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 東盛 裕一
東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内